

# PBRA304001

## Ka频段四通道波束赋形芯片

一款Ka波段高度集成的多通道相控阵波束赋形芯片  
基于CMOS工艺 可实现四个通道信号的移相和衰减

## Data Sheet

Version 1.0 2023/09

## 1. 概述

PBRA304001是基于CMOS工艺的 Ka 波段高度集成四通道相控阵前端芯片，该芯片内部集成移相、衰减、放大、数字控制等功能，芯片通过 WLCSP 形式进行封装。该芯片单通道支持 0~15.5dB 范围 5bit 精度的幅度调节和 0~360°范围 6 bit 精度的相位调节。芯片采用SPI进行通信与控制，通道增益具有自动温度补偿功能。

## 2. 特性

芯片尺寸：3.365mm× 2.485mm

芯片封装：裸芯片

## 3. 原理图

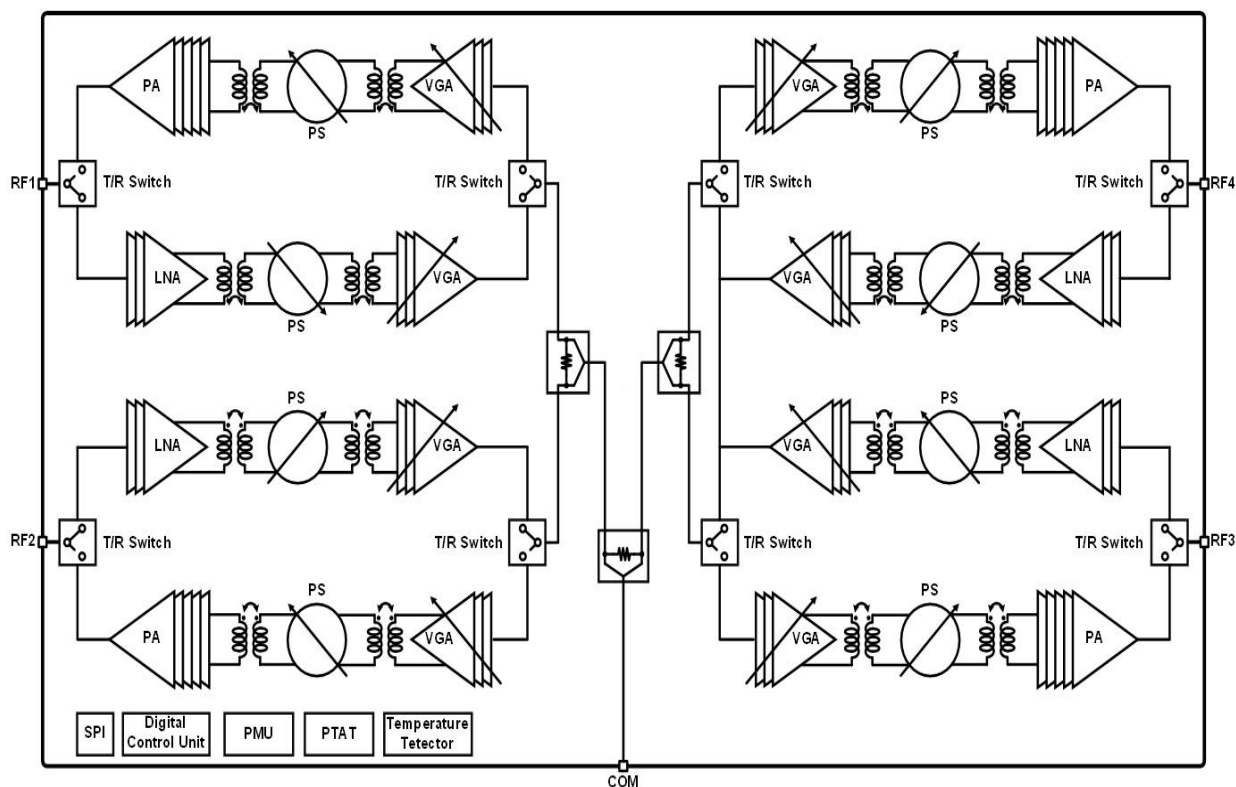


图 1 - 4通道多功能芯片原理图

4. 规格

表格1 - 规格参数( AVDD=1.0V, GND=0V, DVDD1P0=1V, DVDD3P3 =3.3V, TA=25° )

参数	符号	最小值	典型值	最大值	单位
工作频段	$f_0$	33		37	GHz
小信号发射增益	Gain(T)	2	5	6	dB
发射线性度	P1dB(T)	9	9	10	dBm
接收增益	Gain(R)	-5	-3	-2	dB
接收增益平坦度	$\Delta$ GAIN(R)			$\pm 0.5$	dB
接收线性度	P1dB(R)	-9			dBm
接收噪声	NF			15	dB
移相范围	PS	0 ~ 354.375			deg
发射移相RMS	$\Phi$ PRMS(T)			3.5	deg
接收移相RMS	$\Phi$ PRMS(R)			3.5	deg
发射移相附加衰减	$\Delta$ dB(T)			$\pm 1$	dB
接收移相附加衰减	$\Delta$ dB(R)			$\pm 0.75$	dB
衰减范围	ATT	0 ~ 15.5			dB
发射衰减RMS	$\Phi$ ARMS(T)			0.5	dB
接收衰减RMS	$\Phi$ ARMS(R)			0.8	dB
发射衰减附加相移	$\Delta^\circ$ (T)			$\pm 7.5$	deg
接收衰减附加相移	$\Delta^\circ$ (R)			$\pm 7.5$	deg

## 5. 典型性能参数（TX通道）

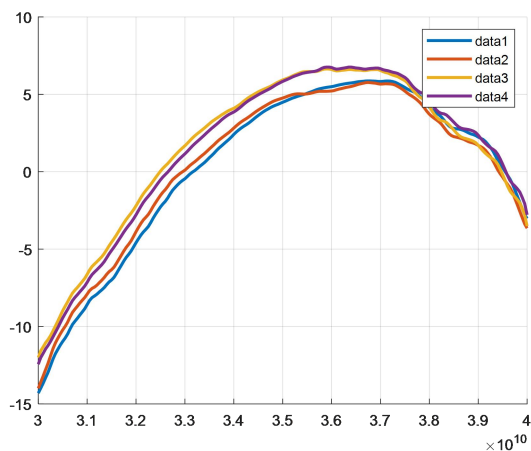


图2 - 发射增益曲线

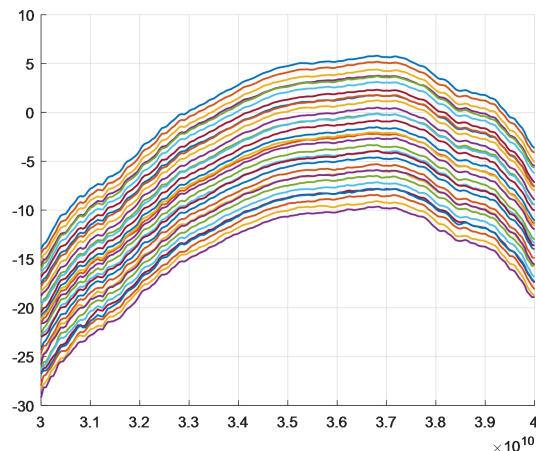


图3 - 发射32态衰减

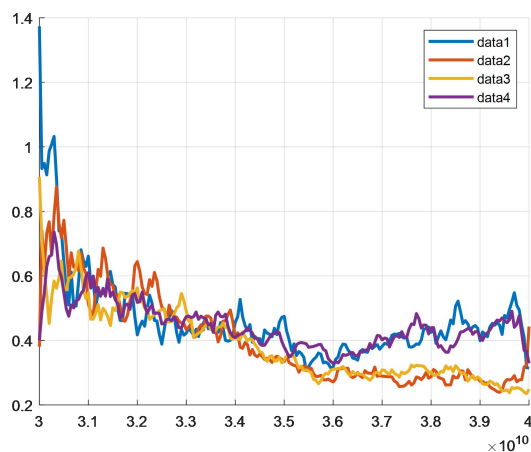


图4 - 发射衰减RMS

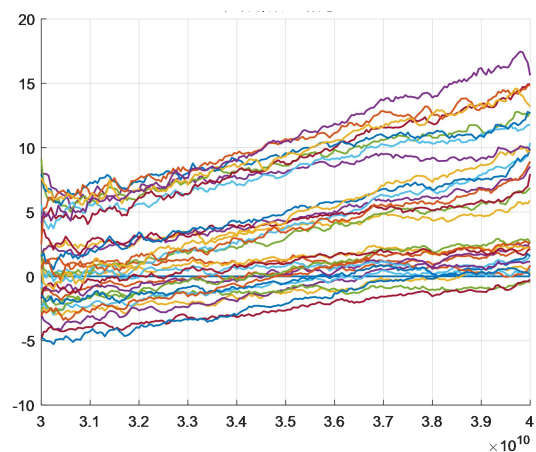


图5 - 发射衰减附加相移

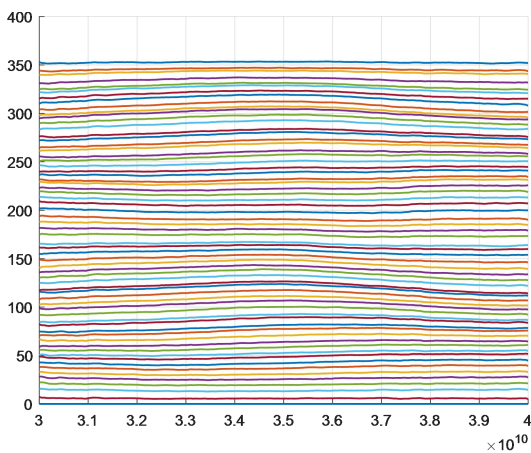


图6 - 发射相移曲线

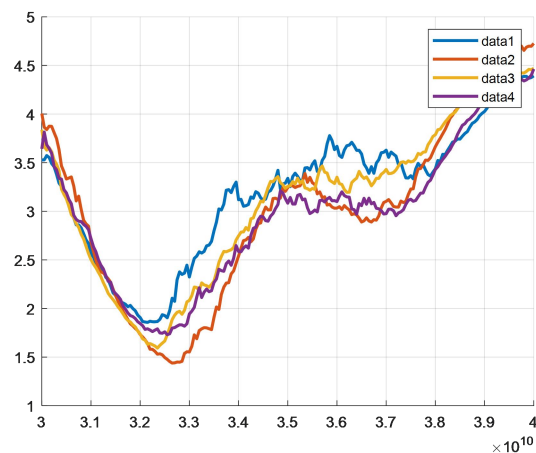


图7 - 发射相移RMS



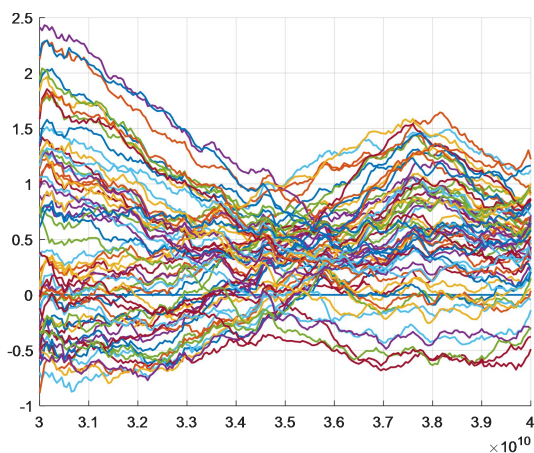


图8 - 发射移相附加调幅

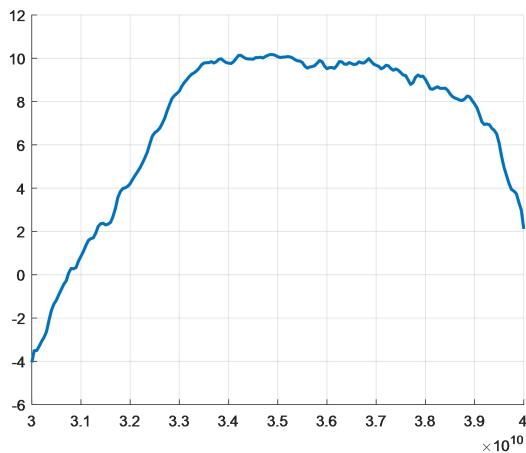


图9 - 发射输出OP1

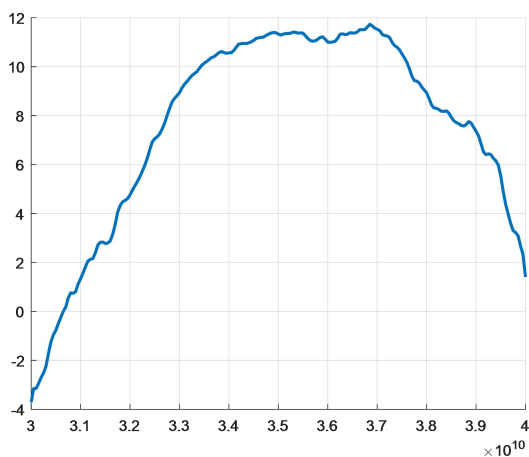


图10 - 发射输出PSAT

## 6. 典型性能参数（RX通道）

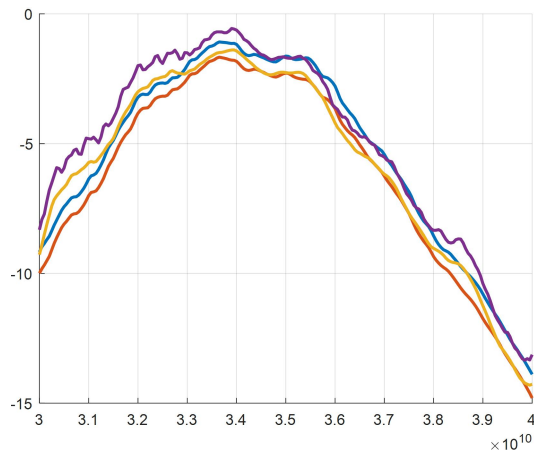


图11 - 接收增益曲线

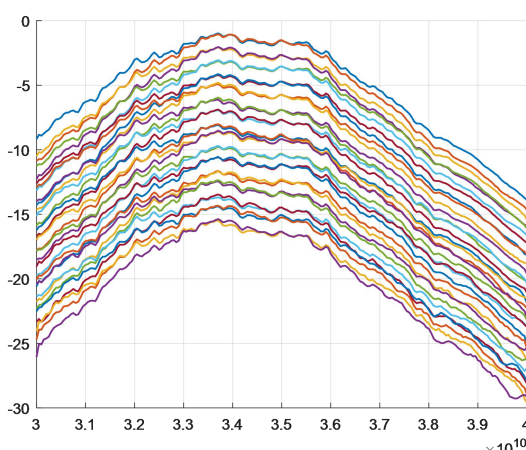


图12 - 接收32态衰减

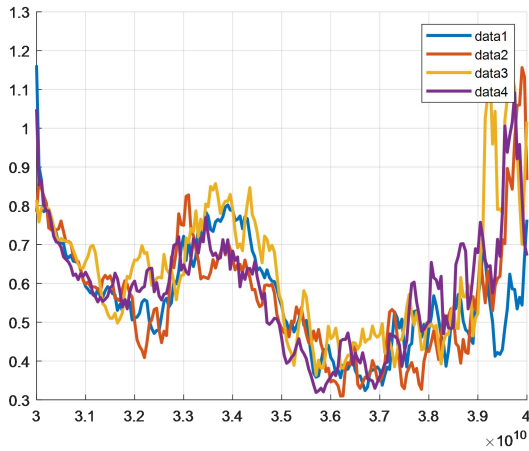


图13 - 接收衰减RMS

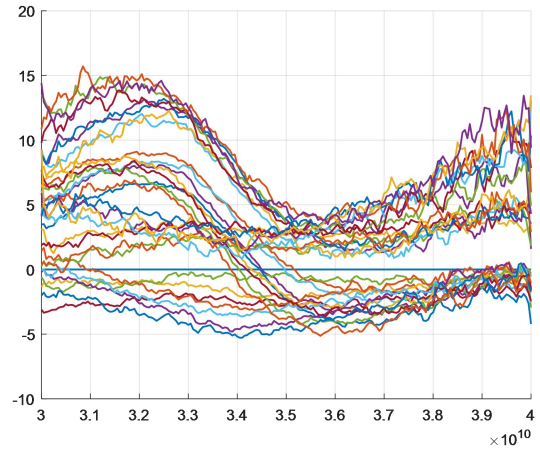


图14 - 接收衰减附加相移

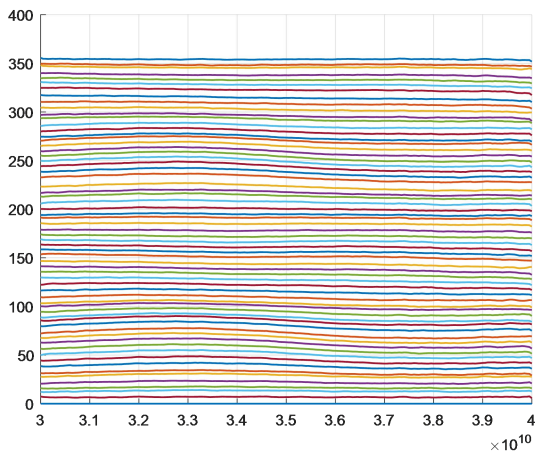


图15 - 接收相移曲线

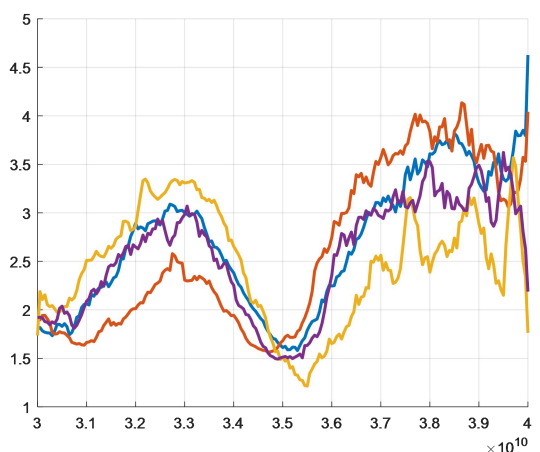


图16 - 接收移相RMS

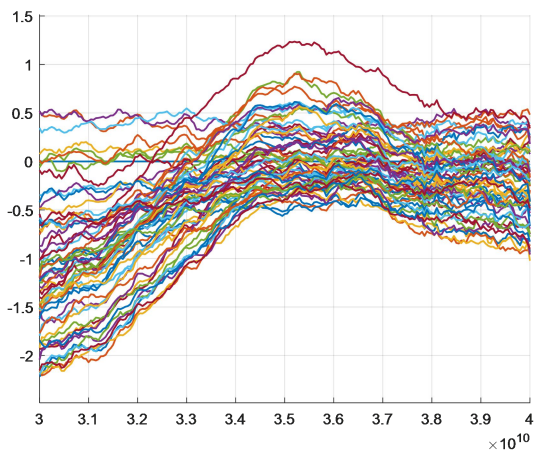


图17 - 接收移相附加调幅

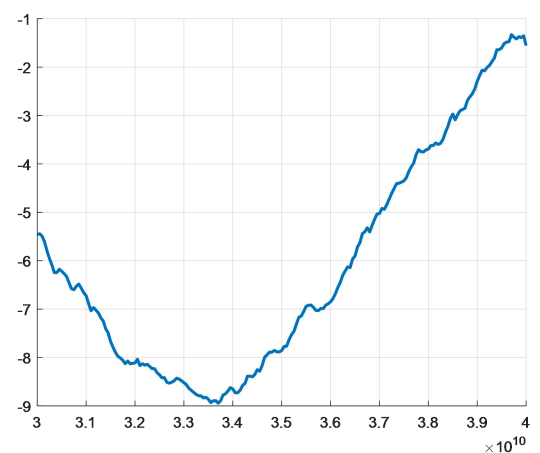


图18 - 接收输入IP1

## 7. 原理框图

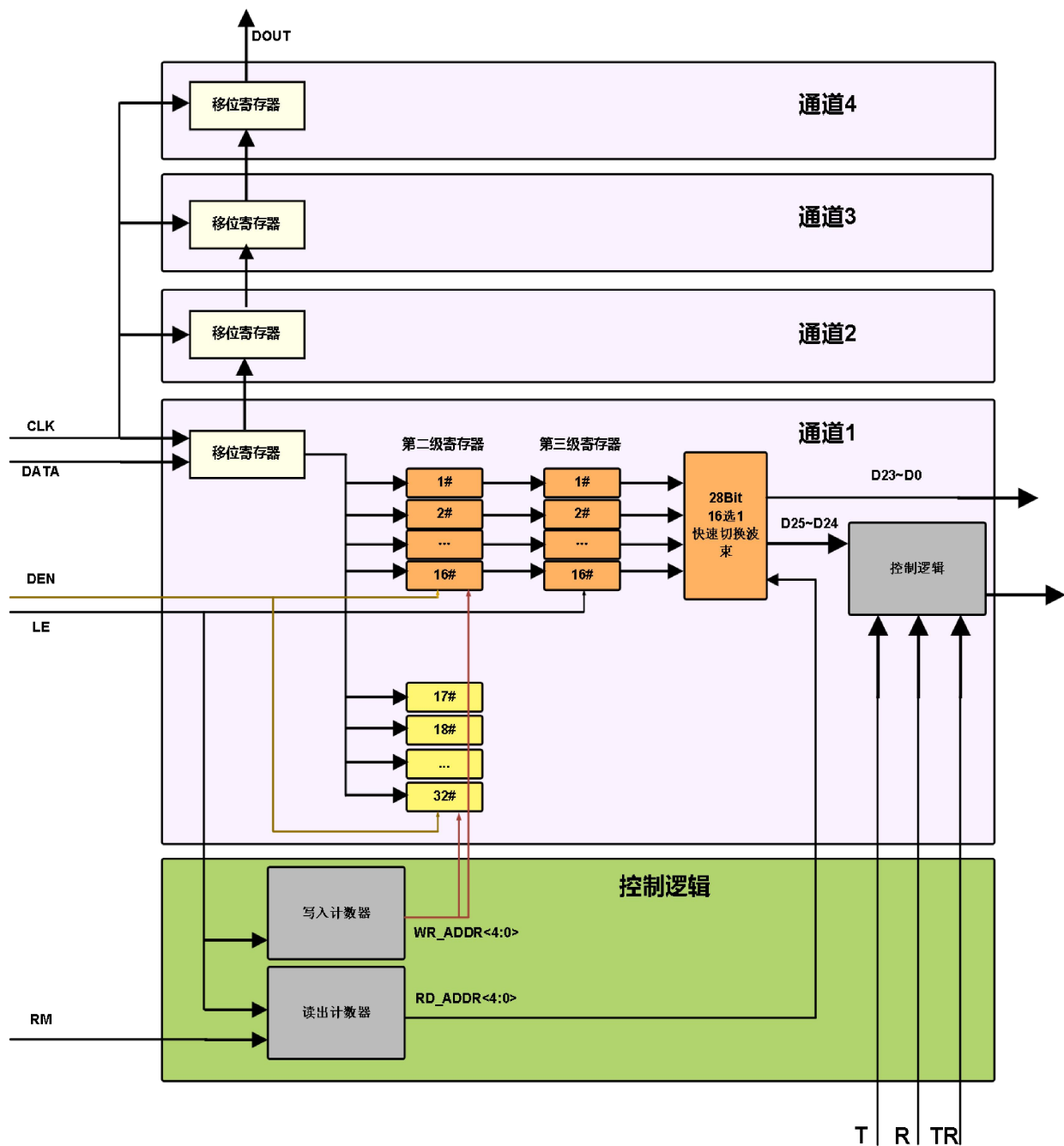


图 19 - 控制原理图

如图19所示，整个控制芯片由4个通道的控制逻辑和公共控制逻辑组成。每个通道由28位移位寄存器、32组\*28位二级数据寄存器、16组\*28位三级数

据寄存器以及控制逻辑等组成；公共控制逻辑由二级寄存器写入计数器、三级寄存器读出计数器组成；具体功能如下：

1) 当DEN(片选)为低电平时，CLK下降沿，数据从DATA端口写入，并通过第一通道的移位寄存器移向D27，D27通过第二通道的移位寄存器移向D55，依此类推；

2) DEN上升沿时，移位寄存器中的数据写入由地址WR\_ADDR[4:0]选择的二级数据寄存器中，同时WR\_ADDR加1；

3) LE上升沿时，1#-16#二级寄存器中的数据写入对应的三级数据寄存器中；同时，LE高电平使WR\_ADDR和RD\_ADDR清零；

4) RM上升沿时，读出地址RD\_ADDR[3:0]加1；根据当前的RD\_ADDR，从16组幅相三级数据寄存器中选择其中一组数据输出，并根据控制输入T、R、TR生成移相控制位PH、衰减控制位ATT、收发放大器控制位RX、TX和发射、接收、负载开关控制位SWT、SWR、SWL，真值表详见表格6。

注：RD\_ADDR读出地址只取前16个地址位0~15，将对应地址位数据快速打入移相衰减寄存器，实现波束快速切换，二级寄存器17#-32#仅在雷达第一次上电时配置。

5) 公共控制电路中，写入计数器用于产生二级寄存器的写入地址WR\_ADDR[4:0]；LE高电平时WR\_ADDR清零；DEN上升沿时，WR\_ADDR加1。读出计数器用于产生三级寄存器的读出地址RD\_ADDR[3:0]；LE高电平时RD\_ADDR清零；RM上升沿时，RD\_ADDR加1。

## 8. 接口定义

表格2 - 接口定义

信号	方向	功能	悬空态 (输入)	接口电平
DEN	输入	低电平时串行输入数据有效；二级寄存器加载信号，上升沿有效；二级寄存器写入地址刷新信号，上升沿有效	弱上拉	TTL 高电平 $\geq 2V$ 低电平 $\leq 0.8V$
DATA	输入	串入数据输入	弱下拉	同上
CLK	输入	时钟信号，下降沿时，数据输入	弱下拉	同上
LE	输入	三级寄存器加载信号，上升沿有效；同时，高电平时写入/读出地址清零	弱下拉	同上
RM	输入	三级寄存器读出地址刷新信号，上升沿有效	弱上拉	同上
DOUT	输出	串行数据输出，上升沿时，数据输出		
T	输入	发射控制输入	弱下拉	同上
R	输入	接收控制输入	弱下拉	同上
TR	输入	收发开关控制输入	弱下拉	同上

## 9. 单数据定义

单通道数据位定义如表格3所示，PR[5:0]为接收移相控制位，AR[5:0]为接收衰减控制位，PT[5:0]为发射移相控制位，AT[5:0]为发射衰减控制位，TC、RC分别为发射、接收使能控制位，与接收控制输入R、发射控制输入T、收发开关控制输入TR通过真值表控制各自通道的状态；D26、D27为保留位。

表格3 - 单数据定义

数据位	D27	D26	D25	D24	D23-D18	D17-D12	D11-D6
定义	功能位	功能位	TC	RC	AT[5:0]	PT[5:0]	AR[5:0]
初始值	0	0	0	0	6'B000000	6'B000000	6'B000000

表格4 - 栅压控制

数据位	D27	D26	D25	D24-D20	D19-D15	D14-D10	D9-D5
定义	功能位	功能位	空闲	PHCAL3[4:0]	PHCAL2[4:0]	DA[4:0]	VGA[4:0]
初始值	1	1	0	5'B00000	5'B00000	5'B11111	5'B11111

表格5 - 功能位真值表（注：D27 D26为功能位）

功能位	功能位	功能选择
D27	D26	
0	0	DEN上升沿时，根据WR_ADDR地址写入1#-16#寄存器。
0	1	无效数据不进行写操作，不更新寄存器数据。
1	0	无效数据不进行写操作，不更新寄存器数据。
1	1	DEN上升沿时，根据WR_ADDR地址写入17#-32#寄存器。

表格6 - 开关及放大器状态真值表

输入					输出（内部信号）					通道状态
TR	T	R	TC	RC	TX	RX	SWT	SWR	SWL	
0	0	1	*	1	0	1	TR	~TR	0	接收态
1	0	1	*	1	0	1	TR	~TR	0	-
1	1	0	1	*	1	0	TR	~TR	0	发射态
0	1	0	1	*	1	0	TR	~TR	0	-
其他组合					0	0	TR	~TR	1	负载态
TR	T	R	TC	RC	TX	RX	SWT	SWR	SWL	
<div>注：发射开关控制位SWT = TR，接收开关控制位SWR = ~TR； 发射放大器控制位TX = T &amp; (~R) &amp; TC； 接收放大器控制位RX = (~T) &amp; R &amp; RC； 负载开关SWL = ~( TX   RX)；</div>										

表格7 - TOP层引出信号

	TX	RX	SWT	SWR
RF1	TX1	RX1	SWT SWT1-4通道输出 SWT片内连接	SWR SWR1-4通道输出 SWR片内连接
RF2	TX2	RX2		
RF3	TX3	RX3		
RF4	TX4	RX4		



## 10. 控制时序图

图20为4通道数据输入时序图，其中，D111-D84为第四通道数据，D83-D56为第三通道数据，D55-D28为第二通道数据，D27-D0为第一通道数据。对于每个通道，数据输入顺序，按照数据位定义，高位先输入。DEN低电平时数据写入有效，时钟CLK下降沿采数，二级锁存信号DEN上升沿有效，三级锁存信号LE上升沿有效。在CLK下降沿串行写入112bit数据，在第1个DEN上升沿将所有数据分别预存到各通道的第二级第1组数据寄存器，同时WR\_ADDR加1；在CLK下降沿继续串行写入112bit数据，在第2个DEN上升沿将所有数据分别预存到各通道的第二级第2组数据寄存器，依此类推，芯片可最多预存32组数据，其中1#-16#寄存器数据用于波束快速切换，17#-32#数据用于控制栅压。在LE的上升沿，1#-16#通道所有二级寄存器中的数据锁存到对应的三级数据寄存器，实现波束快速切换。

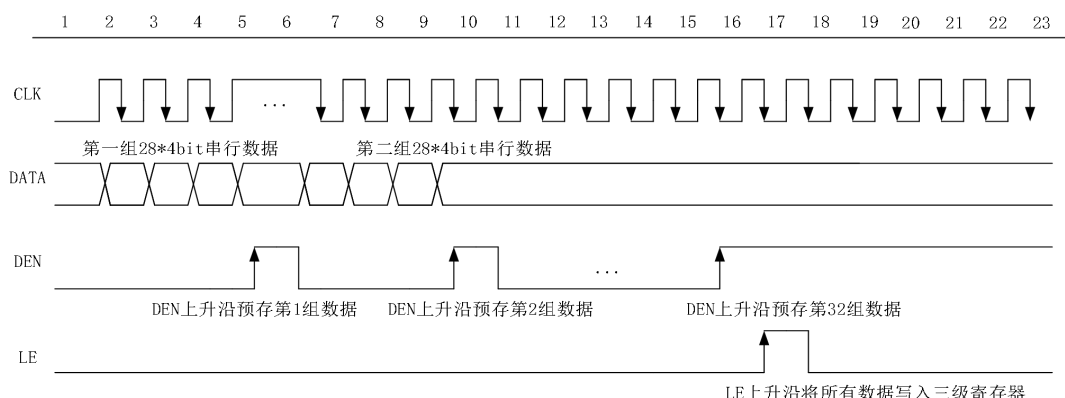


图 20 - 数据输入控制时序

图21为4通道数据输出（此时输出表示将1#-16#寄存器幅相数据打入通道幅相控制寄存器，实现波束快速切换）控制时序图，LE上升沿将所有数据写

入三级寄存器，同时LE高电平使WR\_ADDR、RD\_ADDR地址清零，所有通道都输出相应的第1组数据，RM上升沿到来后RD\_ADDR加1，所有通道都输出第2组数据，依此类推可以进行数据更新。

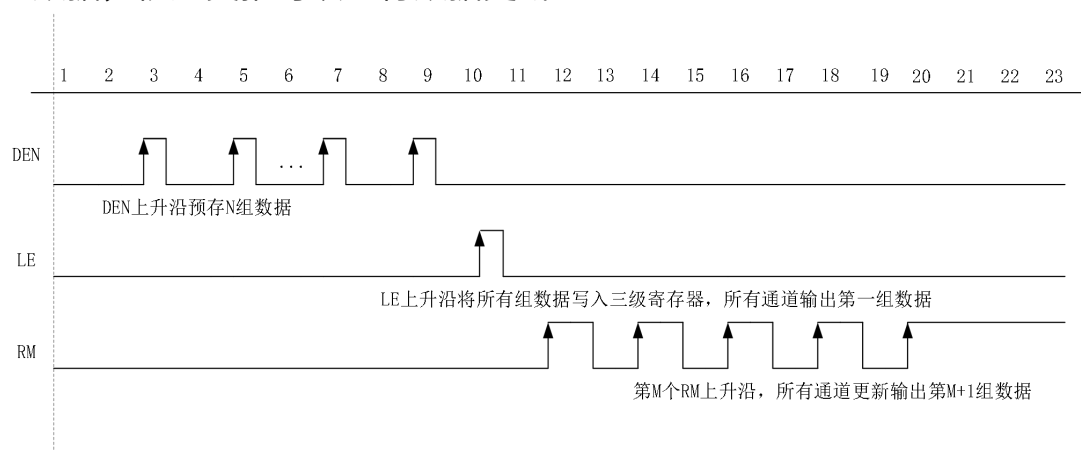


图 21 - 通道输出控制时序

芯片的DOUT输出连接到第二个芯片的DATA输入，可实现多芯片级联使用。以两芯片为例，图22为级联使用时序图，视时序图中的芯片为第一级芯片，D223-D112为发送给第二级芯片的数据，D111-D0为发送给本芯片的数据。

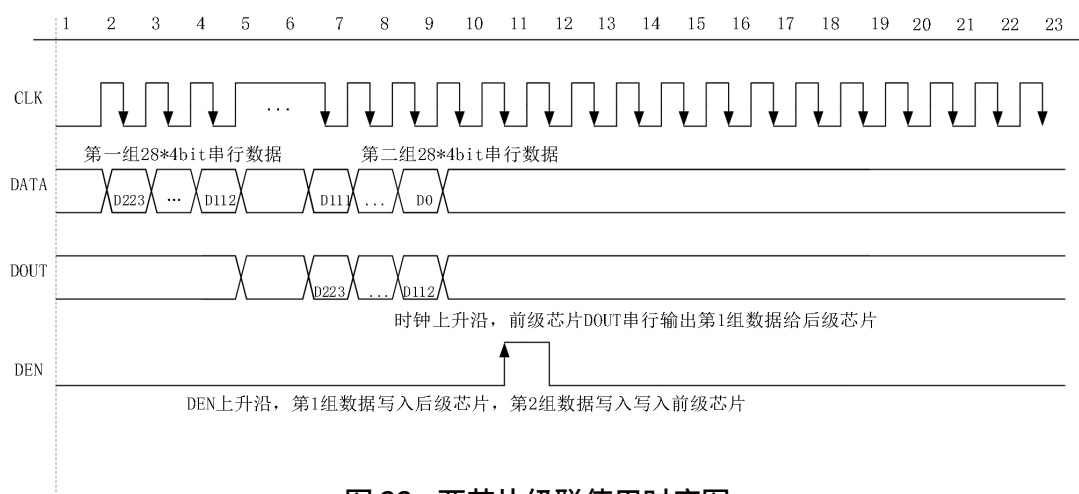


图 22 - 两芯片级联使用时序图

11. 管脚定义

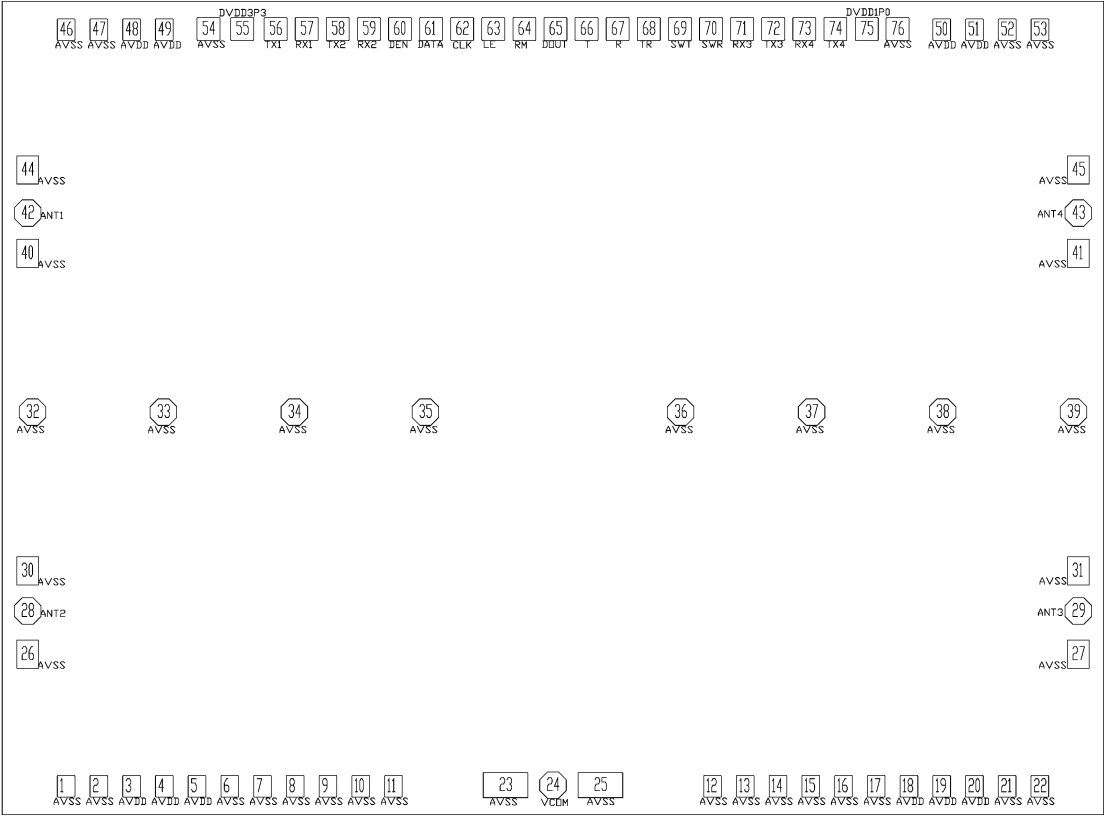


图 23 - 4通道多功能芯片管脚定义

表格8 - 管脚定义

标号	符号名称	管脚定义
1	AVSS	模拟地
3	AVDD	模拟供电电压1V
24	VCOM	射频公共端口
28	RF2	射频收/发端口
29	RF3	射频收/发端口
42	RF1	射频收/发端口
43	RF4	射频收/发端口

标号	符号名称	管脚定义
55	DVDD3P3	数字供电电压3.3V
56	TX1	1通道控制逻辑输出
57	RX1	1通道控制逻辑输出
58	TX2	2通道控制逻辑输出
59	RX2	2通道控制逻辑输出
60	DEN	二级锁存
61	DATA	数据输入
62	CLK	时钟信号
63	LE	三级锁存
64	RM	地址刷新
65	DOUT	数据输出
66	T	T信号
67	R	R信号
68	TR	TR信号
69	SWT	TR
70	SWR	~TR
71	RX3	3通道控制逻辑输出
72	TX3	3通道控制逻辑输出
73	RX4	4通道控制逻辑输出
74	TX4	4通道控制逻辑输出
75	DVDD1P0	数字供电电压1V